

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PAT-NO: JP363076480A

DOCUMENT-IDENTIFIER: JP 63076480 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: April 6, 1988

INVENTOR-INFORMATION:

NAME

HORIUCHI, KATSUTADA

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP61219562

APPL-DATE: September 19, 1986

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/330, 438/694

ABSTRACT:

PURPOSE: To realize a supermicrostructural imbedded-gate element

capable of
withstanding high voltages by a method wherein the distance between a
source
diffusion layer and drain diffusion layer is smaller in the vicinity of the
primary surface of a semiconductor than inside the semiconductor.

CONSTITUTION: In a semiconductor device wherein a source diffusion
region 3,
drain diffusion region 4, and gate electrode 6 are constructed under the
primary surface of a single-crystal semiconductor substrate 1, the distance
between the source diffusion region 3 and drain diffusion region 4 is
narrower
in the vicinity of the primary surface than inside the semiconductor. An
amorphous region 13 is formed in the single-crystal semiconductor substrate
1
by ion implantation, to be subjected to selective removal. An insulating film
5 is next formed on the cleared portion. A gate electrode 6 is next formed
in
contact with the insulating film 5. For example, P ions are implanted for the
formation of the amorphous region 13 after a dry etching process
accomplished
vertically against the substrate 1 mounted with the diffusion layers 3 and 4.
Next, only the amorphous region 13 is selectively removed by using a hot
phosphoric acid solution for the formation of an opening shaped after an
inverted Ω .

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-76480

⑬ Int.Cl.⁴
H 01 L 29/78識別記号
3 0 1庁内整理番号
G-8422-5F

⑭ 公開 昭和63年(1988)4月6日

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭61-219562

⑰ 出 願 昭61(1986)9月19日

⑱ 発 明 者 堀 内 勝 忠 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板の主表面下部にソース拡散領域、ドレイン拡散領域、及びゲート電極が構成された半導体装置に於て、該ソース拡散層領域と該ドレイン拡散層領域との間隔は半導体内部に比較して主表面近傍で狭く構成されていることを特徴とする半導体装置。

2. 単結晶半導体基板にイオン注入により非晶質領域を形成する工程、該非晶質領域を選択的に除去する工程、該除去領域表面に絶縁膜を形成する工程、該絶縁膜の少なくとも一部に接してゲート電極を構成する工程を有する半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置とその製造方法に係り、特に、短チャネル効果の抑制やパナチスル耐圧の向

上に好適な埋込みゲート型MOSトランジスタとその製造方法に関する。

〔従来の技術〕

半導体基板面に溝を設け、その溝部にゲート電極を埋込む、いわゆる埋込みゲート型MOSトランジスタ(以降、単に埋込みゲート素子と称する)は、例えば特開昭51-104282号として公知であり第2図に示すごとき断面構造を有している。図に於て、1は半導体基板、2はフィールド酸化膜3、及び4は各々ソース、ドレイン拡散層領域、5はゲート絶縁膜、6はゲート電極であり、その底面はソース拡散層領域3及びドレイン拡散層領域4の各底面より基板内部に位置し、かつその断面形状も矩形もしくはU字又はV字形状を有している。7は表面保護膜、8及び9は各々ソース、ドレイン電極である。第2図のごとき埋込みゲート素子の時長はゲート底面より上部にソース・ドレイン接合を配置することによりパナチスル耐圧の向上と短チャネル効果の抑制をはかることにある。すなわち、埋込みゲート素子に於てはゲート

電極6下部にはソース・ドレイン拡散層が構成されていないため、ドレイン強電界が基板表面と平行方向に作用し、ゲート電界を変動させるいわゆる二次元効果が緩和される。したがって埋込みゲート素子は実効チャネル長が1 μm 以下の超微細MOS型トランジスタの高耐圧化に有効である。
〔発明が解決しようとする問題点〕

上記従来の埋込みゲート素子は特開昭51-104282号にも記載されているごとくゲート電極を埋込むべき溝の形成にドライエッチング法が用いられている。このドライエッチングにより汚染物質やひずみが溝端部に残置されるためドライエッチング工程後の高温熱処理により汚染物質の拡散や、結晶欠陥が発生し、溝端部におけるゲート絶縁膜の耐圧低下やドレイン接合耐圧不良などの問題があった。ゲート電極を埋込むべき溝形成を半導体基板の異方性エッチングにより行い、表面部にV字型溝を形成する技術も知られているが、湿式異方性エッチングで形成されるV字溝底部に於ても応力集中に基づく結晶欠陥の発生の問題は

〔作用〕

マスク材を用いたイオン注入により形成される非晶質層領域はマスク端より逆J形状でマスク材下部の単結晶半導体基板にまで延在される。上記の非晶質層領域形状には端部が存在せず、したがって非晶質層領域の選択除去後、高温熱処理工程を経ても応力集中がないため結晶欠陥の発生は抑制される。さらに上記選択除去は湿式法によるものであり、ドライエッチングに基づく汚染物質混入の問題も生じない。本発明に基づけば逆J形状のゲート電極を単結晶半導体基板内に構成できるが上記構造を有する超微細MOSトランジスタに於てはゲート電極形成に用いるマスク幅に比べて幅広いゲート長を素子寸法の増大なしに構成できるので超微細かつ高耐圧特性を実現できる。すなわち、従来の埋込みゲート素子との比較に於て超微細化、及び高耐圧特性の点でも有利となる。本発明に基づく逆J形状の加工精度、及びその再現性はイオン注入条件により決定されるので従来のドライエッチング法等に比べても極めて優れて

解消されない。

本発明の目的は上記した従来の埋込みゲート素子の問題点を解消し、溝形成とその後の高温熱処理工程によつても汚染物質の侵入や結晶欠陥の発生がない溝形成技術の提供とそれに基づく超微細高耐圧特性を有する埋込みゲート素子を提供することにある。

〔問題点を解決するための手段〕

本発明は単結晶半導体基板へのイオン注入により形成される非晶質領域が熱磷酸溶液により極めて選択性よく除去できる事を見出した事実に基づく。上記目的は溝形成予定領域以外を覆うイオン打込みマスク層の形成、上記マスク層を用いたイオン注入により埋込みゲート電極構成予定領域の非晶質化とその選択除去による開孔、開孔面へのゲート絶縁膜の形成ならびにゲート電極材料の埋込みにより達成される。本発明に於ては溝部形状はイオン注入条件、注入量、加速エネルギー、イオン種により一義的に決定される。溝加工はドライエッチングによらず湿式法である。

いることは言うまでもない。

〔実施例〕

以下、本発明を実施例によつてさらに詳細に説明する。説明の都合上、図面をもつて説明するが要部が拡大して示されているので注意を要する。また説明を簡明にするため各部の材質、製造工程条件、半導体層の導電型等を規定して述べるが材質、製造工程条件、及び導電型はこれに限定されるものではないことは言うまでもない。

実施例1

第3図(A)、(B)及び第1図は本発明による半導体装置及びその製造方法の第1の実施例を示した断面図である。

P型単結晶シリコン基板1に公知の素子間分離技術を用いて厚いフィールド酸化膜2を形成した後シリコン酸化膜とシリコン窒化膜の薄い重合せ膜($\text{SiO}_2\text{-Si}_3\text{N}_4$ 膜と略記する)10を全面に形成し、上記 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 膜10を介した砒素(A⁺)のイオン注入とその後の活性化熱処理により半導体基板1表面近傍に高濃度N⁺型層3及

び4を形成した。次にテトラエトキシラン ($\text{Si}(\text{OC}_2\text{H}_5)_4$) の化学気相反応により $1\ \mu\text{m}$ 厚のシリコン酸化膜11を堆積した。この状態よりゲート電極形成予定領域部のシリコン酸化膜11、及び $\text{SiO}_2-\text{Si}_3\text{N}_4$ 膜10をドライエッチング法により選択的に除去してから再び全面に薄いシリコン酸化膜12を堆積した。続いてシリコン酸化膜12をシリコン基板1主表面と垂直方向にのみエッチングし、シリコン酸化膜11の側壁部分にのみシリコン酸化膜12を残置せしめた。しかる後、露出されたシリコン基板1を約 $50\ \text{nm}$ ドライエッチングにより垂直方向にエッチングした。この状態で溝(P)を注入量 $1 \times 10^{16}\ \text{cm}^{-2}$ 、加速エネルギー $150\ \text{KeV}$ の条件でイオン注入し、単結晶シリコン基板1が露出された領域に非晶質層領域13を形成した(第3図(A))。

第3図(A)の状態に於て、 160°C に加熱した熱磷酸溶液により処理して非晶質層領域13のみを選択的に除去し逆J形状の開孔を単結晶シリコン基板1内に設けた。続いて非晶質層領域界面

残置させ、ゲート電極6を構成した(第3図(B))。

第3図(B)の状態より $\text{SiO}_2-\text{Si}_3\text{N}_4$ 膜10、及びシリコン酸化膜12をマスクとしてシリコン酸化膜11を除去し、続いて $\text{SiO}_2-\text{Si}_3\text{N}_4$ 膜10、シリコン酸化膜12を除去する。続いて溝がわずかに添加されたシリコン酸化膜を全面に堆積し表面保護膜7とした。その後、公知の配線形成技術に基づき表面保護膜7の所望箇所への開孔とアルミニウム(Al)を主材とする金属膜でソース電極8やドレイン電極9を含む所望の電極、配線を形成した(第1図)。

上記の製造工程を経て製造された半導体装置に於ては埋込みゲート電極6の断面形状に明確な端部が存在せず透過型電子顕微鏡による断面観察によつても結晶欠陥の発生が見出されなかつた。又ゲート電極6とソース拡散層領域3又はドレイン拡散層領域4間のゲート絶縁膜耐圧にも不良が見られ $10^7\ \text{V/cm}$ 以上の絶縁耐圧が得られた。

さらに本実施例に基づいたゲート電極5の半導体基板上におけるゲート長、シリコン酸化膜11

近傍に極めて薄く局在している欠陥層を弗硝酸溶液で軽くエッチングして除去した。上記の開孔形成により高濃度 N^+ 層は分離され、ソース拡散層領域3とドレイン拡散層領域4が形成される。この状態より低温(850°C)湿式熱酸化法により露出されている開孔面にシリコン酸化膜を成長させゲート絶縁膜5とした。低温湿式熱酸化に於ては高濃度 N^+ 層部に成長するシリコン酸化膜5は厚く、低濃度のシリコン基板1部に於ては薄く形成される。尚、この状態からシリコン基板1部に成長されたシリコン酸化膜のみを除去し、高温熱酸化により再び薄いシリコン酸化膜を成長しなおしてもよい。ソース拡散層領域3及びドレイン拡散層領域4部に成長させるゲート絶縁膜5膜厚を厚く構成する必要のない場合は低温湿式熱酸化工程のかわりに通常の高温熱酸化法を用いれば良い。ゲート絶縁膜5の形成後、開孔部を埋めるごとく厚く多結晶シリコン膜(又は非晶質シリコン膜)を堆積し、ドライエッチングにより基板主表面と垂直方向にエッチングし、上記開孔部領域にのみ

の開孔幅が $0.2\ \mu\text{m}$ と極微細なトランジスタの場合に於てもシリコン基板1内の最大ゲート長は $0.6\ \mu\text{m}$ に設定され、ドレイン・ソース間耐圧も $12\ \text{V}$ と高耐圧特性が実現できた。上記は従来の埋込みゲート素子の基板内埋込み部ゲート長がゲート加工長(マスク長)にくらべ同一かむしろ短かかつた事実、したがって、ゲート長の微細化によりソース・ドレイン間耐圧が大幅に低下した従来傾向を著しく改善したことを意味する。

〔発明の効果〕

本発明によれば埋込みゲート構造に端部を発生させないので結晶欠陥の発生や汚染物質残存による絶縁耐圧の低下を生じさせない効果がある。さらに本発明によれば埋込みゲート形状はイオン注入技術によつてのみ決定されるので従来のドライエッチング技術等と比べても格段に制御性・再現性に優れている。また本発明によれば半導体基板上で占有するゲート電極長に比べ半導体基板内に埋込まれたゲート電極長を長く構成できるので超微細半導体装置に於ても高耐圧特性を確保できる

効果が得られる。

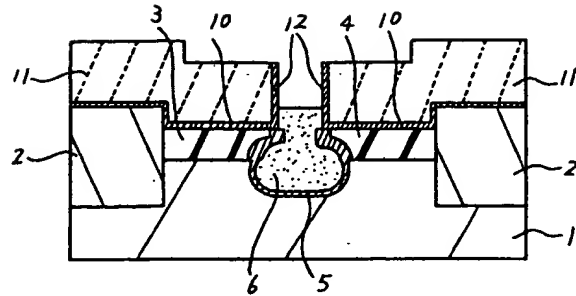
4. 図面の簡単な説明

第1図は本発明の一実施例を示す半導体装置の断面図、第2図は従来の埋込みゲート構造半導体装置を示す断面図、第3図(A)及び(B)は本発明の一実施例を製造工程順に示す断面図である。

代理人 弁理士 小川勝男

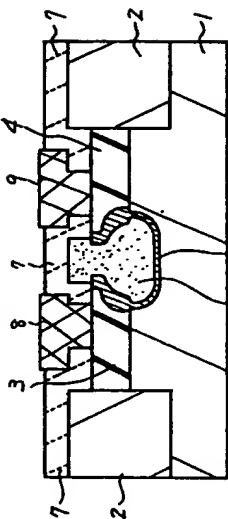


第3図
(B)

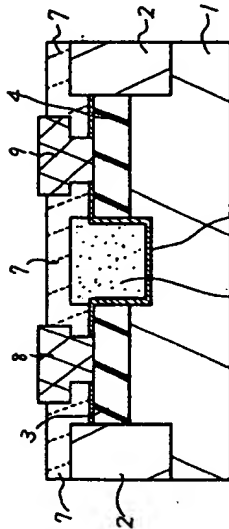


- | | | |
|------------|--------------|---|
| 1 シリコン基板 | 4 ドrain拡散層領域 | 10 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 膜 |
| 2 フィールド酸化膜 | 5 ゲート絶縁膜 | 11 シリコン酸化膜 |
| 3 ソース拡散層領域 | 6 ゲート電極 | 12 シリコン窒化膜 |

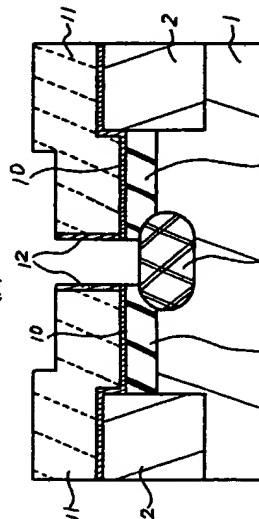
第1図



第2図



第3図
(A)



- | | | |
|--------------|----------|---|
| 2 フィールド酸化膜 | 5 ゲート絶縁膜 | 10 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 膜 |
| 3 ソース拡散層領域 | 6 ゲート電極 | 12 シリコン窒化膜 |
| 4 ドrain拡散層領域 | 7 表面保護膜 | 13 非晶質層領域 |